

Japanese Patent Laid-open No. HEI 11-88723 A

Publication date : March 30, 1999

Applicant : MATSUSHITA ELECTRIC IND CO LTD

Title : DIGITAL CLAMPING APPARATUS

5

(57) [Abstract]

[Object] To provide a digital clamping apparatus with which no flicker occurs even when clamping is carried out in digital processing.

[Solving Means] A digital clamping apparatus of the present invention  
10 comprises: an input terminal 10; a level detector 11 that detects a level of a portion to be subjected to clamping in a digital signal input to the input terminal 10; a low pass filter 12 for smoothing a signal from the level detector 11; a register 13 that loads and holds a signal from the low pass filter 12; a subtracter 15 that determines a difference between the signal from the low  
15 pass filter 12 and a signal from the register 13; a comparator 14 that controls the register 13 to be in a holding state when a signal from the subtracter 15 is within a predetermined range; a level shifting device 16 that shifts a level of a signal input from the input terminal 10 in accordance with the signal from the register 13; and an output terminal 17 for outputting a signal from the level  
20 shifting device 16.

[Embodiment of the present invention] An embodiment of the present invention will now be explained with reference to Figs. 1 and 3.

[0009] Fig. 1 is a block diagram that shows a digital clamping apparatus according to an embodiment of the present invention. In Fig. 1, a digital  
25 signal which is obtained by quantizing an NTSC signal is input from an input

terminal 10. In addition, in the digital clamping apparatus according to the present invention, when a signal input therefrom is 8-bit signal, clamping operation is performed so that pedestal level becomes near 64. A level detector 11 is a level detecting unit that detects in each field a pedestal level of an NTSC signal from the input terminal 10. A low pass filter 12 is a filtering unit that allows only a signal component of 2 Hz or lower to pass out of the signal from the level detector 11, and an output value from the low pass filter 12 is F1. A register 13 is a registering unit that loads and holds a signal from the low pass filter 12, and an output value from the register 13 is F2. Loading and holding of the register 13 is controlled by a comparator 14. A subtracter 15 is a subtracting unit that subtracts a signal of the register 13 from a signal of the low pass filter 12, or determining a difference ( $F1 - F2$ ). A comparator 14 is a comparing unit that controls the register 13 to hold an output of F2 when a signal from the subtracter 15 ( $F1 - F2$ ) is within  $\pm 1$  and controlling an output of the register 13 to be in a loading state so as to match the value F2 of the register 13 with F1 when a signal from the subtracter 15 ( $F1 - F2$ ) is not included within  $\pm 1$ ; a level shifting device 16 is a shifting unit that determines a difference between "a target pedestal level" and "a value of the register 13", or ( $64 - F2$ ), and adding ( $64 - F2$ ) to a signal from the input terminal 10.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-88723

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>

H 0 4 N 5/16

識別記号

F I

H 0 4 N 5/16

A

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平9-237995

(22) 出願日 平成9年(1997) 9月3日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 湯峯 学

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 白木 直司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

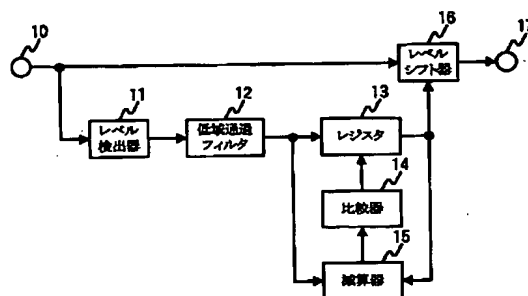
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 デジタルクランプ装置

(57) 【要約】

【課題】 デジタル処理でクランプを行う場合においても、フリッカが発生しないデジタルクランプ装置を提供することを目的とする。

【解決手段】 入力端子10と、入力端子10に入力されたデジタル信号からクランプ動作させようとしている部分のレベルを検出するレベル検出器11と、レベル検出器11からの信号を平滑化する低域通過フィルタ12と、低域通過フィルタ12からの信号を読み込む、または保持するレジスタ13と、レジスタ13からの信号と低域通過フィルタ12からの信号の差分を算出する減算器15と、減算器15からの信号が所定の範囲内にある場合にレジスタ13が保持状態になるようレジスタ13を制御する比較器14と、レジスタ13からの信号に応じて入力端子10から入力された信号のレベルをシフトするレベルシフト器16と、レベルシフト器16からの信号を出力する出力端子17とを備える。



## 【特許請求の範囲】

【請求項1】 デジタル信号に量子化された映像信号からクランプ動作させようとしている部分のレベルを検出するレベル検出手段と、前記レベル検出手段からの信号を平滑化するフィルタ手段と、前記フィルタ手段からの信号をロードまたはホールドするレジスタ手段と、前記レジスタ手段からの信号と前記フィルタ手段からの信号との差分を算出する減算手段と、前記減算手段からの信号が所定の範囲内にある場合に前記レジスタ手段がホールド状態になるよう前記レジスタ手段を制御する比較手段と、前記レジスタ手段からの信号に応じて前記デジタル信号に量子化された映像信号のレベルをシフトするシフト手段とを備えたことを特徴とするデジタルクランプ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ビデオテープレコーダによる再生信号など、レベル変動のある信号のレベルを補正するデジタルクランプ装置に関するものである。

## 【0002】

【従来の技術】 一般にアナログ信号を記録再生するビデオテープレコーダ（以下、VTRと略記する）では、信号レベルの変動が発生する。このレベル変動により、同期信号のすげ替え等を行った時、輝度レベルの変動が発生し画質劣化を引き起こす要因となる。

【0003】 以下、従来のデジタルクランプ装置の一例について、図面を参照しながら説明する。図2は、従来のデジタルクランプ装置のブロック図である。図2において、VTRの再生信号が入力端子20から入力される。本従来例では入力される再生信号はNTSC信号を量子化したデジタル信号とする。また、本従来例のデジタルクランプ装置は、8ビットで表現したとき、ベデスタルレベルが64にクランプされるよう動作すると仮定する。レベル検出器21は、入力端子20から入力されたNTSC信号のベデスタルレベルをフィールド毎に検出する。検出されたベデスタルレベルは、低域通過フィルタ22によって平坦化される。これは、レベル検出器21がベデスタルレベルを誤検出した時やノイズによる影響を抑えるためである。レベルシフト器23は、低域通過フィルタ22の値から64を減算し、その減算結果を入力端子20に入力された信号に加算し、出力端子24から出力する。このような従来技術として、例えば、特開平6-133184号公報がある。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上記のような従来のデジタルクランプ装置は、量子化された映像信号からベデスタルレベルを検出しているため、低域通過フィルタの時定数をいくら長くしても量子化誤差による1LSB (least significant bit) の変動が常

に発生する。その結果、この1LSBの変動がフリッカとなって画面上に現れるという問題を有していた。

【0005】 本発明は、上記従来のデジタルクランプ装置の問題点を解決するもので、量子化誤差によるフリッカが発生しないデジタルクランプ装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 上記問題点を解決するために本発明のデジタルクランプ装置は、デジタル信号に量子化された映像信号からクランプ動作させようとしている部分のレベルを検出するレベル検出手段と、レベル検出手段からの信号を平滑化するフィルタ手段と、フィルタ手段からの信号をロードまたはホールドするレジスタ手段と、レジスタ手段からの信号とフィルタ手段からの信号の差分を算出する減算手段と、減算手段からの信号がある範囲内にある場合にはレジスタ手段がホールド状態になるようレジスタ手段を制御する比較手段と、レジスタ手段からの信号に応じて前記デジタル信号に量子化された映像信号のレベルをシフトするシフト手段とを備える。

【0007】 これにより、1LSBの変動を抑圧したシフト値が発生できる。

## 【0008】

【発明の実施の形態】 以下、本発明の実施の形態について図1、図3を用いて説明する。

【0009】 図1は本発明の実施の形態におけるデジタルクランプ装置の構成を示すブロック図である。図1において、入力端子10からは、NTSC信号を量子化したデジタル信号が入力されるとする。また、本実施の形態のデジタルクランプ装置は、入力される信号が8ビットとすると、ベデスタルレベルが64付近になるようクランプ動作するとする。レベル検出器11は、入力端子10からのNTSC信号のベデスタルレベルを1フィールド毎に検出するレベル検出手段である。低域通過フィルタ12は、レベル検出器11からの信号の2Hz以下の信号成分のみ通過させるフィルタ手段で、その出力値をF1とする。レジスタ13は、低域通過フィルタ12からの信号をロードまたはホールドするレジスタ手段で、その出力値をF2とする。このレジスタ13のロードとホールドは、比較器14によって制御されている。減算器15は、低域通過フィルタ12の信号からレジスタ13の信号を減算する、つまり(F1-F2)を算出する減算手段である。比較器14は、減算器15からの信号(F1-F2)が±1の範囲内であればレジスタ13の出力がF2のままホールドされるように制御し、±1の範囲を超えていればレジスタ13をロード状態にし、レジスタ13の値F2がF1となるよう制御する比較手段である。レベルシフト器16は、「目標ベデスタルレベル」-「レジスタ13の値」、すなわち(64-F2)を算出し、入力端子10からの信号に(64

-F2)を加算するシフト手段である。

【0010】以上のように構成されたデジタルクランプ装置について、以下その動作を説明する。デジタルクランプ装置は、入力されたNTSC信号のベデスタルレベルを検出し、検出したレベルと目標ベデスタルレベルである64とのレベル差を算出し、このレベル差に応じて入力されたNTSC信号をシフトする事でベデスタルレベルが64付近となるようにする装置である。

【0011】まず、レベル検出器11がベデスタルレベルを検出する。低域通過フィルタ12は、レベル検出器11がノイズ等によってベデスタルレベルを誤検出した場合でも、大きく変動しないように動作する。しかし、この低域通過フィルタ12の出力は、量子化誤差により、常に1LSB変動している。この量子化誤差による変動は、低域通過フィルタの時定数をいくら大きくしても、必ず発生する。この変動を抑えるために、レジスタ13でロードとホールドを行う。このレジスタ13のロードとホールドの制御は、低域通過フィルタ12からの信号の変動が量子化誤差によるものか否かを判定する事によって行われる。この判定は、減算器15と比較器14によって行われる。このように、低域通過フィルタ12でノイズ等による大きな変動を抑えた後、量子化誤差による変動を比較器14で判定し、レジスタ13のホールド動作で変動を抑える事で、ベデスタルレベルの検出を安定なものにしている。このベデスタルレベルを基準にして、レベルシフト器16が入力された信号のレベルをシフトしている。

【0012】この動作を図3に示す。図3における、信号30及び信号31は、入力されたNTSC信号である。ただし、簡易的に信号を表示しているため、同期信号の数が若干NTSC信号と異なっている。この信号を入力端子10から入力した場合の、低域通過フィルタ12の出力が信号32である。この信号32では、量子化誤差による1LSB変動が、フィールド単位で発生している事がわかる。この信号32がレジスタ13によって、ロードまたはホールドされると、信号33となる。信号33では1LSBの変動(信号32と異なる部分)が無くなっている。この1LSBの変動が無くなる事で、デジタルクランプによるフリッカの発生が完全に抑えられる。なお、図3は、本実施の形態の動作を説明する為の波形概念図であり、各々の波形の振幅値を正確に表現しているものではない。

【0013】以上のように、デジタル信号に量子化された映像信号からクランプ動作させようとしている部分のレベルを検出するレベル検出手段と、レベル検出手段からの信号を平滑化するフィルタ手段と、フィルタ手段からの信号をロードまたはホールドするレジスタ手段

と、レジスタ手段からの信号とフィルタ手段からの信号の差分を算出する減算手段と、減算手段からの信号が所定の範囲内にある場合にはレジスタ手段がホールド状態になるようレジスタ手段を制御する比較手段と、レジスタ手段からの信号に応じてデジタル信号に量子化された映像信号のレベルをシフトするシフト手段とを設けることにより、フリッカが発生しないデジタルクランプ装置を実現できる。

【0014】なお、実施の形態において用いた定数等は参考値であり、入力される信号の状態や量子化ビット数等により変化するものである。また、本実施の形態では、比較手段(比較器14)における判定範囲が固定となっていたが、入力された信号のレベル変動の度合いに応じて判定範囲を可変し、クランプレベルの収束値の精度を高める事もできる。また、本発明の量子化誤差による変動を抑える手段は、クランプのみならず、自動振幅調整等にも応用できる。

【0015】

【発明の効果】以上のように本発明は、デジタル信号に量子化された映像信号からクランプ動作させようとしている部分のレベルを検出するレベル検出手段と、レベル検出手段からの信号を平滑化するフィルタ手段と、フィルタ手段からの信号をロードまたはホールドするレジスタ手段と、レジスタ手段からの信号とフィルタ手段からの信号の差分を算出する減算手段と、減算手段からの信号がある範囲内にある場合にはレジスタ手段がホールド状態になるようレジスタ手段を制御する比較手段と、レジスタ手段からの信号に応じてデジタル信号に量子化された映像信号のレベルをシフトするシフト手段とを設けることにより、フリッカが発生しないデジタルクランプ装置を実現できる、という効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の形態におけるデジタルクランプ装置の構成を示すブロック図

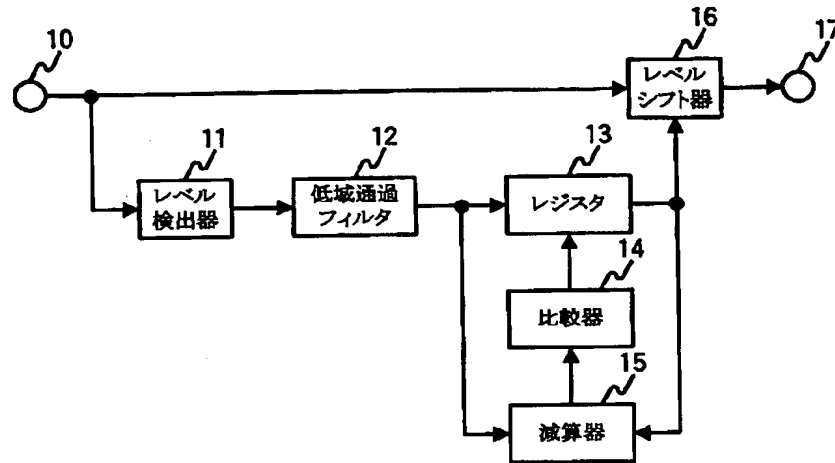
【図2】従来のデジタルクランプ装置の構成を示すブロック図

【図3】本発明の実施の形態におけるデジタルクランプ装置の動作を示す波形図

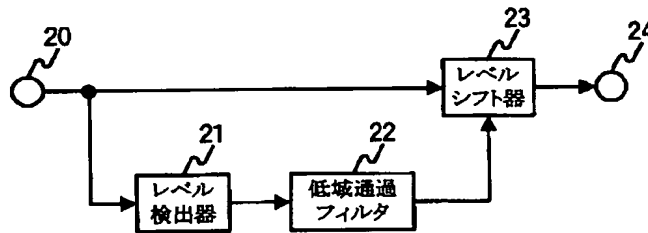
【符号の説明】

- 10 入力端子
- 11 レベル検出器
- 12 低域通過フィルタ
- 13 レジスタ
- 14 比較器
- 15 減算器
- 16 レベルシフト器
- 17 出力端子

【図1】



【図2】



【図3】

